

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-241595

(43)Date of publication of application : 17.09.1996

(51)Int.Cl.

G11C 11/413
G02F 1/01
H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 07-311112

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 29.11.1995

(72)Inventor : CONNER JAMES L
BHUVIA ROHIT L
OVERLAUR MICHEL J

(30)Priority

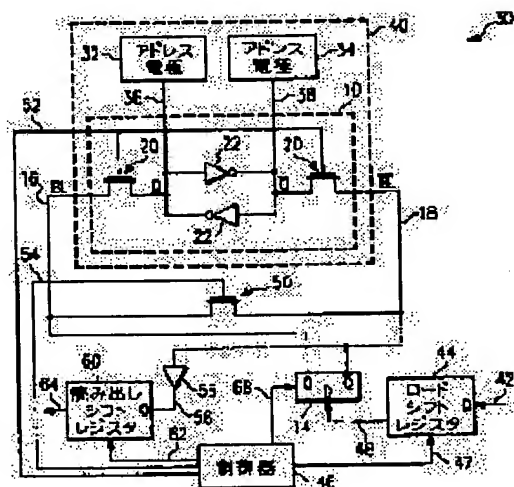
Priority number : 94 346707 Priority date : 30.11.1994 Priority country : US

(54) MEMORY CELL WITH SINGLE-LINE READ-BACK FUNCTION AND ITS OPERATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need for a differential amplifier for reading data out by equalizing a bit line couple through a charge equalization switch right before data written in the memory cell are read out through the bit line pair.

SOLUTION: The memory cell 10 having the single-line read-back function is built in a digital micromirror element(DMD) 40 which forms a spatial optical modulator. In this cell 10, desired data are written through a latch 14 and the bit lines 16 and 18 of the bit line pair. To read the data out of the cell 10, a control part 46 turns on the transistor 50 of the charge equalization switch to equalize the bit lines 16 and 18, the storage capacity of the cell 10 are stabilized, and the data are read out by using an ordinary amplifier, thereby eliminating the need for a differential amplifier which has large occupation area and is large in power consumption. Consequently, the memory cell with the single-line read-back function is obtained which is used suitably for a DMD type spatial optical modulator.



LEGAL STATUS

[Date of request for examination]

22.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241595

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/413			G 1 1 C 11/34	J
G 0 2 F 1/01			G 0 2 F 1/01	D
				B
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/108		9276-4M		6 8 1 F
審査請求 未請求 請求項の数 2 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平7-311112

(22) 出願日 平成7年(1995)11月29日

(31) 優先権主張番号 3 4 6 7 0 7

(32) 優先日 1994年11月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ジェームズ エル. コナー

アメリカ合衆国テキサス州ローレット, レ
イクポイント アベニュー 9117

(72) 発明者 ロヒット エル. プーバ

アメリカ合衆国テキサス州プラノ, ブルッ
クヘブン ドライブ 5832

(74) 代理人 弁理士 浅村 皓 (外3名)

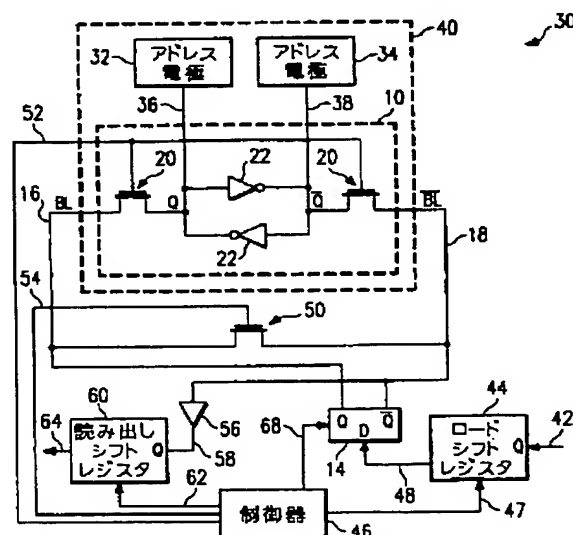
最終頁に続く

(54) 【発明の名称】 単一線読み戻しを備えたメモリセルおよびその運転方法

(57) 【要約】

【課題】 DMD型式の空間光変調器等で使用される場所を取らず、電力消費も少ない単一ビット線読み返し構造を具備したメモリセルを有する半導体集積を提供する。

【解決手段】 少なくともひとつのメモリセルに一对のビット線を接続し、これらのビット線上の電荷を選択的に等値化するために前記ビット線をまたがるようにスイッチを結合し、前記メモリにデータが書き込まれた後で、そのデータが読み出される前に前記スイッチを瞬時的に閉じて前記ビット線上の電荷を平衡させ、前記ビット線の唯一方に接続されたメモリ読み出し装置で前記メモリセルの内容を読み出さず際に、前記メモリ状態に変化を生じないようにする。



(2)

1

【特許請求の範囲】

【請求項1】 半導体集積装置であって：少なくともひとつのメモリセルと；前記メモリセルに結合された一対のビット線と；前記ビット線に結合され前記ビット線上の電荷を選択的に等値化するための装置と；そして前記ビット線のひとつに結合され前記メモリセルの内容を読み出すためのメモリ読み出し装置とを含む、前記半導体集積装置。

【請求項2】 一対のビット線に結合されたメモリセルの運転方法であって：

- a) 前記メモリセルに前記ビット線を経由してロードし；
- b) 前記ビット線上の電荷を等値化し；そして
- c) 唯一方の前記ビット線をセンスすることにより、前記メモリセルの内容を読み出す、手順を含む前記方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般的には半導体集積メモリ装置に係わり、更に詳細には画素配列および関連するメモリセルを有する空間光変調器およびその運転方法に関する。

【0002】

【従来の技術】半導体集積メモリ装置は典型的にはメモリセルの大規模な配列として製造される。これらのメモリセルの各々は静的随時書き込み読み出し可能メモリ（SRAM）または動的随時書き込み読み出し可能メモリ（DRAM）セルとして知られている型式のものである。メモリ装置の構成様式は、高速読み出し／書き込みアクセス時間に関して継続して改善されており、購入可能な製造機器ではメモリ量で4メガビットを超えるメモリ装置の製造が可能である。

【0003】メモリ装置は通常は、配列の各々のメモリセルに個別にデータをロード（書き込み）出来て、そしてまたメモリセルの中にデータが正しくロードされたことを確認するために個別に読み出すことが出来るように設計されている。この読み出し機能を提供するために、図1に図示されているような典型的な従来技術に基づくメモリセル配列では、全体として10で示されている典型的な6トランジスタSRAMセルのようなメモリセルにデータを供給する2本のビット線の間に結合された差動増幅器を使用している。図1に示されるSRAMセルは論理0または1をロード線12から供給することによってロードされ、この信号は差動信号に14で示される透過ラッチによって変換される。この差動データは次に16並びに18と示されている一対のビット線に与えられる。この差動データは選択されたメモリセル10の中に、全体として20で示されている一対のそれぞれのMOS通過トランジスタにバイアス（アドレス指定）することによってロードされる。ビット線16および18は通常はいくつかのメモリセル10にデータを送る。その

2

後トランジスタ20が非導通となると、そのデータはメモリセルの中に2つの反転器22を差し渡すように格納されて保存され、その内容はノードQおよびQ（バー）に表れている。続いて選択されたメモリセルの内容を読み出すには、ラッチ14が最初に無効状態とされ3状態モードとされる。次に通過トランジスタ20の各々が再び導通とされ、これによりアドレス指定されたメモリセルの内容がビット線16および18の上に提供される。差動増幅器24の入力はこれらのビット線に接続されていて、差動メモリの内容を26で示される単一線に変換する。

【0004】

【発明が解決しようとする課題】この従来技術の設計は高速読み出し及び書き込み操作を可能とするのに十分であるが、この設計の欠点は読み出し操作を可能とするために差動増幅器を使用することであり半導体集積素子上のかなり広い領域を必要とし、また多量の電力を消費する。

【0005】空間光変調器、特にテキサスインスツルメント社、テキサス州ダラス、で製造されているようなデジタル微小鏡素子（DMD）ではメモリセルの配列を半導体集積SLM素子の中に組み入れている。DMDの場合は高密度の微小鏡がメモリセル配列の上に製造されている。各々のメモリセルはひとつまたは複数の鏡と関連づけられていて、これによってメモリセルの内容がその鏡がアドレス指定された際の、関連づけられた微小鏡の偏向状態を決定する。画素の線形配列及び領域配列の両方が現在開発されている。SLM配列を含む微小鏡の寸法は現在およそ17マイクロメートル平方であり、線形配列では64×7、056画素、そして領域配列では1、000×2、000画素に実現されている。更に詳細なDMDに関する説明、およびそれらに関する、静電式ハードコピー印刷機及び大型スクリーンテレビジョンでの応用例に関しては、米国特許第5、061、049号、ホーンベックに付与された名称”空間光変調器及びその方法”、米国特許第5、079、544号、デモンドその他に付与された、名称”標準デジタル化ビデオシステム”、および米国特許第5、105、369号、ネルソンに付与された名称”印刷システム露光モジュール配列方法およびその製造装置”を参照されたい。各々の特許は本発明と同一の譲り受け人に譲渡されており、各々の教えるところは此処でも参考として組み入れられている。

【0006】DMDは独特のSLMであり、ここでは可動画素鏡が関連するメモリセルおよび制御回路の配列の上に実際に製造されている。これらの画素素子の寸法が小さいため、対応するメモリセルおよび制御回路の寸法も同様に小さい必要がある。メモリセルの診断試験を実行するためには、これらのメモリセルには最初データをロードし、引き続いてメモリセルが機能していることを

(3)

3

確認するために読み出しを行う。しかし独特の配置がDMD素子に指定されまたその寸法が小さいために、一連の従来の差動増幅器を使用して全てのメモリセルの読み出し操作を容易にしようとする、回路の過度に広い領域を消費し、また大量の電力を消費する。更に製造される差動増幅器が複雑になると、製造中に欠陥が生じる可能性が増し、これは素子の生産性を減少させる恐れがある。従って、メモリセルの読み出しを可能とする技術および関連する回路で、回路の複雑さ及び必要なウェファ領域を減らし、生産性を増加させるものはSLM、そして特にDMD型式にとって有益である。

【0007】

【課題を解決するための手段】本発明の技術的特長は単一ビット線読み返し構造を具備したメモリセルである。この構造により、差動増幅器の必要性はなくなる。更に、ある条件下、例えばメモリセルとビット線の間のデータ転送ゲートが開放時のメモリセル変化状態の可能性がなくなる。

【0008】本発明はただ1つのビット線に接続された単一入力バッファの提供も含む。ビット線に蓄積された浮遊容量が不用意にメモリセル状態を変化させる可能性を避けるために、電荷転送ゲートが2本のビット線の間に具備されている。この電荷転送ゲートはメモリセルのロードの後に作動されて、ビット線上の電荷を等値化するが、次に転送ゲートが作動されてセル内容が読み出される前に行われる。このスイッチ、nチャンネルMOSトランジスタが望ましい、はセル内容を読み出す前にビット線上の電荷を均等に分散させる。3状態高インピーダンスモードを想定しているメモリセルにロードするための透過ラッチと、この電荷転送ゲートを再び非導通として、メモリセル通過ゲートを作動させメモリセルの内容をビット線に提供する。1本のビット線に接続された単一入力増幅器が次に制御回路でセンスされメモリセルの内容を確認する。本発明では、差動増幅器を組み込んだメモリセルに比較するとより少数のトランジスタを必要とするだけである。加えてメモリセルの安定性が強化され、DMDで要求される空間的な制約に対して更に効率的な配置を可能とし、そして生産性の改善を提供する。

【0009】本発明に基づくメモリセル構造はDMD型式SLMにとって理想的に適合しているが、これはまたメモリセルの読み出し操作が書き込みサイクル操作の充分後に実行されるメモリセルの配列を組み入れた全ての装置に対しても理想的に適合している。換言すると、メモリセルの内容は、従来”クリティカルデータサイクル”として知られている期間中には読み出されない。現在の設計での速度はDMD素子で使用するには十分である。典型的なDMD操作では、ビット線上の電荷を等値化し、そして続いてこれらのビット線を単一入力バッファ増幅器で試験シーケンス中に読みとる時間は十分にあ

4

る。

【0010】例えば、論理”1”がメモリセルの中にロードされると、メモリセルのQノードが+5ボルトでロードされ、そしてQ（バー）は0ボルト電位となるはずである。等値化トランジスタが作動されると、両方のビット線上の浮遊電荷が中間の、そしておよそ平均電圧、例えば+2.5ボルトに等値化される。従ってビット線は後続のメモリセルの読み返しの前に電荷的に安定化される。その後通過トランジスタが作動されると、各々のビット線は1方向またはその反対方向に唯2.5ボルト変化するだけなので、メモリセルが不用意に状態を変化させることを防止する。

【0011】

【発明の実施の形態】図2に示す本発明の提出された実施例には、テキサス州ダラスのテキサスインスツルメントで製造されるDMD型式のような、空間光変調器が全体として30で示されている。SLM30は全体として10で示されている従来式静的随時書き込み読み出しメモリ（SRAM）を含むことが判る。このSRAMメモリセル10は6個のトランジスタから構成され、CMOS、NMOSまたはPMOS技術を使用して製造される。メモリセル10の基本素子、関連する接続および動作は既に”発明の背景”というタイトルの所で図1を参照して既に説明した、ここでは同一の素子に同様の参照番号を付している。

【0012】32及び34で示される一対の電極が、メモリセル10のQ及びQ（バー）に一対の電極エッチング線36および38を介してそれぞれ接続されている。SLM30の各々の画素は偏向可能なねじれ微小鏡40、点線で示す、と関連づけられており、これはこれらのアドレス電極32及び34上の電位の関数として制御の下に偏向される。相互参照が米国特許第5,061,049号、ホーンベックに付与された名称”空間光変調器及びその方法”に対してなされ、これはDMD型式の画素の動作の詳細を説明している。図示の目的及び明瞭にするために、SLM30は図2の中では鏡40を含む単一画素を有するように図示されているが、典型的なSLM30は数千の鏡40並びにメモリセル10、及び関連回路を有する。

【0013】メモリセル10の中にロードされるべき画素データはロード線42上に提供され、これは続いてシフトレジスタ44の入力に接続されている。このデータはシフトレジスタ44の中に制御器46のクロックでロードされ、最終的には透過ラッチ14の入力Dまで線48経由で進められる。ラッチ14は制御器46から線68経由で3状態条件で作動される。ラッチ14は必要であればこのデータのレベル変換を提供し、真及び相補データを差動形式でビット線16及び18に提供する。この差動データをビット線16および18からメモリセル10にロードするために、制御器46は通過トランジ

(4)

5

タ20を書き込み信号を線52、これは通過トランジスタ20のゲートに接続されている、上に提供することによって導通とする。この書き込み信号は好適にはひとつのパルスを含み、このパルスの終了後トランジスタ20は非導通状態に戻り、メモリ内容は反転器22を差し渡すようにノードQおよびQ（バー）の部分にラッチされて保持される。

【0014】本発明の提出された実施例によれば、SLM30は更に等値化スイッチトランジスタ50を具備する。トランジスタ50は好適にNチャンネルMOSトランジスタでありビット線16と18との間に、ソース端子がビット線16に接続されそしてドレイン端子がビット線18に接続されるように接続されている。トランジスタ50のゲート端子は制御器46に制御線54を介して接続されている。手短に更に詳細に説明するように、等値化トランジスタ50を閉じることでビット線16及び18上の浮遊容量を、データのメモリセル10内への書き込みの後で、メモリセル10の内容が読み出される前に、等値化することを可能とする。

【0015】単一入力バッファ増幅器56は1本のビット線に接続された入力有し、提出された実施例では、ビット線18に接続されているが、これは単に信号レベルに基づく設計上の選択に過ぎない。出力増幅器56もまた反転形式であるが、これもセンスするために必要な信号レベルに依存している。増幅器56の出力は信号線58を介して読みとりシフトレジスタ60のQ入力に接続されている。制御器46はクロックパルスを制御線62を介してシフトレジスタ60に、メモリセル10の内容の読み出しが必要となしに供給し、これによってメモリ内容が最終的に出力線64までシフトされる。データがメモリセル10の中にロードされていない時、そして特に丁度説明した読み出しサイクルの期間、制御器46は透過ラッチ14を、制御線48経由でそのQ及びQ（バー）出力を高インピーダンス3状態条件として不動作状態にする。

【0016】

【実施例】SLM30の特長及び特質が、メモリセル10の図示された書き込み及び読み出しサイクルを説明することによって、更に理解できよう。図示の目的で、タイミング図、図3を図2を参照しながら説明する。

【0017】最初メモリセル10に論理”1”を例えばロードするには、このデータは入力線42を介してロードシフトレジスタ44の中にロードされ、制御器46によって線47を介して44のレジスタの出力にクロック送りされる。このレジスタ出力は透過ラッチ14のD入力に、図に示されるように線48を経由して供給される。この論理”1”は図3のタイミング信号100で表現されており、この論理”1”の立ち上がりの先頭はラッチ14のD入力に時刻T₁に於いて供給される。次にタイミング信号102で示されるようにラッチ14は制

6

御線68によって作動状態に維持され、これによってラッチ14は入力データのレベル変換を実行する。差動データはラッチ端子QおよびQ（バー）からビット線16及び18それぞれに、図3の線104及び106で表されるように供給される。

【0018】この論理”1”をメモリセル10の中にラッチするために、制御器46はクロックパルスを線52上および通過トランジスタ20のゲートに時刻T₂に於いてタイミング線110で表すように提供する。このクロックパルスは瞬時的に両方のスイッチまたは通過トランジスタ20を導通させ、これによってビット線16及び18をメモリセル10のノードQおよびQ（バー）に接続する。従ってメモリセル10には、タイミング図の線112および114で表されるように時刻T₂に於いてロードされる。トランジスタ20に供給される書き込みパルスが完了すると、これらのトランジスタ20は再び非導通となる。しかし、メモリセル10の内容はラッチされた状態で残り、ノードQ及びQ（バー）に、図3の線112及び114で示されるように記憶される。

【0019】次に本発明の提出された実施例に基づくメモリセル10の単一ビット線読み返しを可能とするために、図3を参照しながら説明を続ける。時刻T₃に於いて、図3の線102で示されるように、制御器46はラッチ14を3状態高インピーダンス条件とし、制御器46は、図3の線116で表現されるように制御パルスを線54に供給し瞬時的に等値化トランジスタ50を導通とする。この導通となったトランジスタ50はビット線16及び18上の残留電荷を2つの間で等値化するが、これはラッチ14が3状態高インピーダンス条件のためである。例えば論理”1”をメモリセル10の中に書き込み通過トランジスタ20を非導通とした後、ビット線16は未だ約+5ボルト電位に留まっている。逆にビット線18は未だ約0ボルト電位を維持している。瞬時的にトランジスタ50を導通とした後、ビット線16と18との間の残留電荷は平衡し、各々のビット線は時刻T₃に於いて、線104と106との上に中間の約2.5ボルトの電位を有する。トランジスタ50は、ビット線16及び18上の残留電荷を平衡とするのに十分な時間間隔、例えば1ミリ秒だけ導通となり、次にこのトランジスタは非導通となる。

【0020】次に時刻T₄に於いて、またタイミング線110で示されているように、制御器46はパルスを線52経由で通過トランジスタ20のゲートに送り、これらを再び導通とさせる。制御器46が透過ラッチ14を3状態モードとすることによって、メモリセルノードQからの+5ボルト電位がビット線16に通信される。同様に、メモリセルノードQ（バー）からの0ボルト電位がビット線18に、タイミング線104及び106上で示されるように、時刻T₄に於いて通信される。読み出しパルスをトランジスタ20に供給する前、ビット線1

(5)

7

6及び18は+2.5ボルトに等値化された状態で充電されているので、メモリセル10はその状態を変化させない。これはもしもビット線16及び18が読み出しパルスの前に不平衡に充電されていたとしたら変化を生じたかも知れないことである。

【0021】単一ビット線メモリ読み返しはビット線18に接続された増幅器54の入力で可能である。増幅器54の出力は、タイミング線118で示されるように常にビット線18のレベルを反映している。増幅器54の出力は読み出しシフトレジスタ60のQ入力に線58を介して接続されており、このデータは出力64に時刻T5に於いて制御器46でクロック送りされる。読み出しシフトレジスタ60に対して、制御器46から線62上に供給されるクロックパルスはタイミング線120に示されている。

【0022】増幅器54の入力はビット線18に接続されるように示されているが、望むのであれば代わりにビット線16に接続することもまた可能である。本実施例では増幅器54の出力部での0ボルト電位が、メモリセル10からの論理"1"の読みに対応している。もしも増幅器54の入力がビット線16に接続された場合は、増幅器54からの+5ボルト出力がメモリセル10からの論理"1"の読みに対応するであろう。

【0023】本発明のひとつの特長は、単一ビット線メモリ読み返し構造である。これはメモリセル10の内容をビット線16及び18に転送する前に、ビット線電荷の平衡を取る等値化器トランジスタ50を組み込むことによって可能である。

【0024】本発明の別の特長は読み出し操作を行うために、複雑で比較的大きな差動増幅器ではなく、単一入力バッファ増幅器54のみを使用することである。従ってDMD型式の様なSLMを、空間的な制約で規定されるもっと効率的な回路配列を実現でき、更に加えて製造工程中での生産性改善を実現できる。トランジスタ50が必要とする、メモリセル10の内容を書き込む前に最初にビット線16および18を等値化してこれらのビット線を変化させるための時間は、典型的な試験手順の中では無視できる程度である。典型的には、トランジスタ50は電荷平衡を実現するために1ミリ秒の導通時間のみを必要とする。トランジスタ50はCMOS、PMOSまたはNMOS技術を使用して、メモリセル10の通過トランジスタ20及び反転器22と同様に組み込むことが出来る。同様に増幅器54も同様技術を使用して製造できる。

【0025】本発明を特定の提出された実施例に関して説明してきたが、多くの変更及び修正が当業者には本明細書を読むことによって明らかとなる。従って、添付の特許請求項を従来技術に照らして、その様な変更および修正の全てを含むように可能な限り広く解釈されることを意図している。例えば、0及び5ボルト論理レベル

8

が採用されているが、その他のレベルを採用することも可能である。更にその他の設計を考慮して、ビット線の等値化電圧は線間の差の正確に半分である必要はない、例えば1本の線にもう一方よりも多くの容量が存在するような場合である。提出された実施例では、本発明はSLMに組み込まれているが、同一のものを組み込んだその他のメモリセル配列及び装置も本発明から利益を得ることが可能であり、それらも本発明の範囲内である。DRAMセルのようなその他のメモリセル構造、及び典型的な6トランジスタSRAMセルより多いかまたは少ないトランジスタを使用しているセルもまた本発明でカバー出来る。以上の説明に関して更に以下の項を開示する。

【0026】(1) 半導体集積装置であって：少なくともひとつのメモリセルと；前記メモリセルに結合された一対のビット線と；前記ビット線に結合され前記ビット線上の電荷を選択的に等値化するための装置と；そして前記ビット線のひとつに結合され前記メモリセルの内容を読み出すためのメモリ読み出し装置とを含む、前記半導体集積装置。

【0027】(2) 第1項記載の装置に於いて、前記電荷等値化装置が前記ビット線にまたがって結合されたスイッチを含む、前記装置。

【0028】(3) 第2項記載の装置に於いて、前記スイッチがトランジスタを含む、前記装置。

【0029】(4) 第1項記載の装置に於いて、前記メモリセルがSRAMセルを含む、前記装置。

【0030】(5) 第1項記載の装置に於いて、前記メモリ読み出し装置が前記ビット線の唯一方に結合された入力に要するバッファ増幅器を含む、前記装置。

【0031】(6) 第1項記載の装置が更に、前記メモリセルに機能的に結合された空間光変調器を含む、前記装置。

【0032】(7) 第6項記載の装置に於いて、前記空間光変調器が前記メモリセルの上に位置された微小鏡を含み、そして前記メモリセルが前記微小鏡の下に位置された一対のアドレス電極に結合されている、前記装置。

【0033】(8) 第4項記載の装置に於いて、前記メモリセルが一対の通過トランジスタを含み、ひとつが前記ビット線の各々に、前記メモリセルの内容を前記ビット線上に選択的に置くように結合されている、前記装置。

【0034】(9) 第8項記載の装置に於いて、前記等値化装置が前記ビット線にまたがるように結合されたスイッチを含み、前記スイッチが前記通過トランジスタとは独立に制御可能である、前記装置。

【0035】(10) 空間光変調器であって：表示要素の配列と；前記表示要素の各々と関連づけられたメモリセルと；前記メモリセルに結合された一対のビット線と；前記ビット線にまたがって結合されたスイッチと；

(6)

9

そして前記ビット線のひとつに前記メモリセルの内容を読み出すように結合されたメモリ読み出し装置とを含む、前記空間光変調器。

【0036】(11)第10記載の空間光変調器に於いて、前記メモリ読み出し装置が前記ビット線の唯一方に結合された入力有するバッファを含む、前記空間光変調器。

【0037】(12)第10記載の空間光変調器に於いて、前記メモリセルがSRAMセルを含む、前記空間光変調器。

【0038】(13)第10記載の空間光変調器に於いて、少なくともひとつの前記表示要素が前記メモリセルの上に位置された微小鏡を含む、前記空間光変調器。

【0039】(14)一対のビット線に結合されたメモリセルの運転方法であって：

- a) 前記メモリセルに前記ビット線を経由してロードし；
- b) 前記ビット線上の電荷を等値化し；そして
- c) 唯一方の前記ビット線をセンスすることにより、前記メモリセルの内容を読み出す、手順を含む前記方法。

【0040】(15)第14項記載の方法に於いて、前記手順b)が前記ビット線の間に接続されたスイッチを瞬時閉路することで実行される、前記方法。

シリアル番号	出願日	名称
08/002,627	01/11/93	空間光変調器用画素制御回路
	本件と同時に	オン状態欠損の可能性を低減した空間光変調器

【図面の簡単な説明】

【図1】従来技術によるメモリセルの図式的表現であり、ここでは差動増幅器がメモリセルの内容を読み返すために使用されている。

【図2】単一ビット線メモリ読み返し構造を具備した本発明の図式図であって、ビット線の間にメモリ読み返しシーケンスの前にビット線上の電荷を平衡させるための電荷等値化トランジスタを含む。

【図3】本発明のタイミング図であり、メモリセルがロードされ、ビット線が充電され等値化され、そしてメモリセルが読み返されるタイミングを図示する。

【符号の説明】

10

*【0041】(16)第14項記載の方法に於いて、前記メモリセルの内容が前記スイッチが開路された後に読み出される、前記方法。

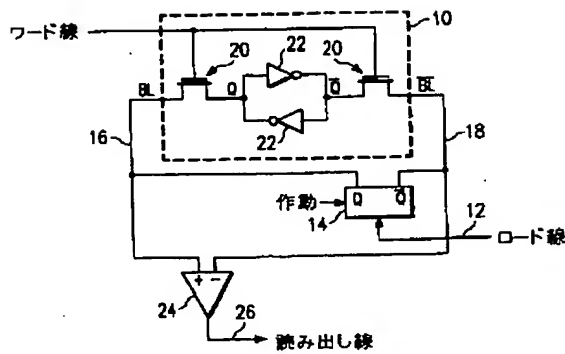
- 【0042】(17)単一ビット線読み返し構造54を具備した、関連するメモリセル10を有するDMD型式の空間光変調器30である。メモリセル10は、メモリセル10のビット線16、18にまたがって接続されたトランジスタを含む、電荷等値化スイッチ50を含む。この電荷等値化トランジスタ50は、書き込みサイクル
- 10 (T₂)の後で読み出しサイクル(T₄)の前に瞬時的に導通(T₃)してメモリセルビット線16、18上の残留電荷を平衡させる。メモリセル内容が続いて読み出される時(T₄)には、このメモリセル内容は変化しない状態にある。単一の増幅器54がひとつのビット線にメモリセル内容を読み出すために接続されている。単一ビット線18読み返し構造は、DMDで要求される空間的制約に対して更に効率的な回路配置を提供し、差動増幅器の設計よりもより少ない電力を消費し、更に加えて生産性を改善する。

- 20 【0043】関連明細書の相互参照
下記の係属の特許出願に対して相互参照がなされている。

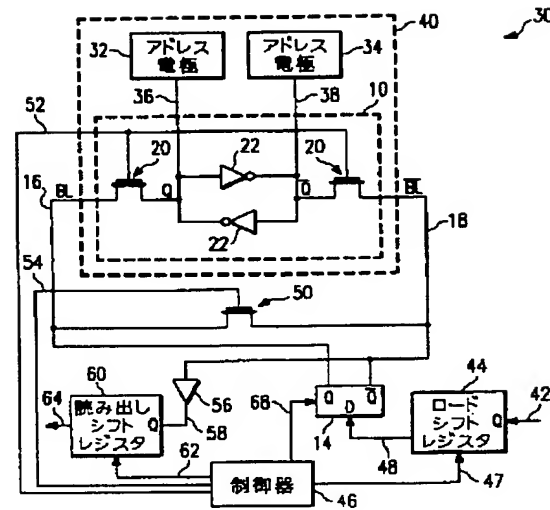
- 10 メモリセル
- 14 ラッチ
- 16、18 ビット線
- 30 通過トランジスタ
- 22 反転器
- 24 差動増幅器
- 30 空間光変調器
- 40 微小鏡
- 44、60 シフトレジスタ
- 46 制御器
- 50 電荷等値化スイッチ(トランジスタ)
- 54、56 増幅器

(7)

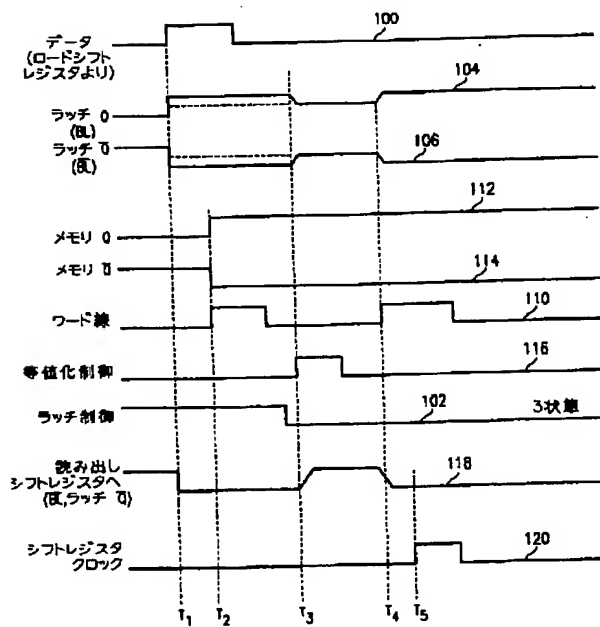
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 21/8242

識別記号 片内整理番号

F I

技術表示箇所

(72)発明者 マイクル ジェイ. オーバーラウアー
アメリカ合衆国テキサス州プラノ, シロ
1414, アパートメント ナンバー 2013

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] semiconductor accumulation equipment -- it is -- : -- it combines with the bit line and the; aforementioned bit line of a couple which were combined with at least one memory cell and the; aforementioned memory cell -- having -- the charge on the aforementioned bit line -- alternative -- etc. -- the aforementioned semiconductor accumulation equipment containing the memory read-out equipment for being combined with one of the equipment for value-izing,, and the aforementioned bit lines, and reading the contents of the aforementioned memory cell

[Claim 2] It is the operating method of the memory cell combined with the bit line of a couple, loads to the :a aforementioned memory cell via the aforementioned bit line, and is;

b) The aforementioned method including a procedure of reading the contents of the aforementioned memory cell by equivalence-izing the charge on the aforementioned bit line, and sensing; and the aforementioned bit line of the method of c only.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Generally, this invention relates to a semiconductor accumulation memory apparatus, and relates to the space optical modulator which has the memory cell related [which is related and pixel-arranges] still in detail, and its operating method.

[0002]

[Description of the Prior Art] A semiconductor accumulation memory apparatus is typically manufactured as a large-scale array of a memory cell. Each of these memory cells is the thing of the form known static at any time as a memory (DRAM) cell which can be read [write-in] the memory (SRAM) which can be read [write-in], or dynamic at any time. The composition format of a memory apparatus continues and improves about high-speed read-out / write-in access time, and the manufacture of a memory apparatus which exceeds 4 megabits in the amount of memory in the manufacture device which can be purchased is possible.

[0003] A memory apparatus can usually load data to each memory cell of an array individually (writing), and it is designed in order to check that data have been surely loaded in a memory cell again, and so that it can read individually. In order to offer this read-out function, in the memory cell array based on the typical conventional technology which is illustrated by drawing 1, the differential amplifier combined between two bit lines which supply data to a memory cell like the typical 6 transistor SRAM cell shown by 10 as a whole is used. The SRAM cell shown in drawing 1 is loaded by supplying logic 0 or 1 from the load line 12, and this signal is changed into a differential signal by the transparency latch shown by 14. This differential data is given to the bit line of the couple indicated to be 16 and 18 below. In the selected memory cell 10, this differential data is loaded by carrying out bias (addressing) to each MOS passage transistor of the couple shown by 20 as a whole. Bit lines 16 and 18 usually send data to some memory cells 10. If a transistor 20 is un-flowing after that, it was stored, the data was saved so that two inverters 22 might be put and passed into a memory cell, and the content appears in Nodes Q and Q (bar). Then, in order to read the content of the selected memory cell, latch 14 is first made into an invalid state, and let it be tri-state mode. Next, the content of the memory cell to which each of the passage transistor 20 was again considered as the flow, and addressing was carried out by this is offered on bit lines 16 and 18. It connects with these bit lines and the input of the differential amplifier 24 changes the content of differential memory into the single line shown by 26.

[0004]

[Problem(s) to be Solved by the Invention] Although the design of this conventional technology is enough to enable high-speed read-out and write-in operation, in order to enable read-out operation, the fault of this design is using the differential amplifier, and needs the remarkable latus field on a semiconductor accumulation element, and consumes a lot of power.

[0005] with a space optical modulator especially Texas Instruments, Texas Dallas, and a digital minute mirror element (DMD) that is come out of and manufactured, the array of a memory cell is incorporated into the semiconductor accumulation SLM element In DMD, it is manufactured after that a high-density minute mirror arranges [memory cell]. Each memory cell is related with one or more mirrors, and the content of a memory cell determines the deviation state of a minute mirror where it was related at the time of addressing of the mirror being carried out, by this. Both the linear array of a pixel and the field array are developed now. The size of a minute mirror including a SLM array is present about 17-micrometer square, and is realized by 1,000x2,000 pixels in 64x7,056 pixels and the field array at the linear array. furthermore -- being detailed -- DMD -- being related -- explanation -- and -- them -- being related -- electrostatic -- hard copy -- a printing machine -- and -- large-sized -- a screen -- television -- an application -- being related -- U.S. Pat. No. 5,061,049 -- Horn -- Beck -- giving -- having had -- a name -- " -- space -- an optical modulator -- and -- the -- a method -- " -- U.S. Pat. No. 5,079,544 -- DEMONDO -- others -- giving -- having had -- a name -- " --

a standard -- digitization -- video -- a system -- " -- and Each patent is transferred to the same assignee as this invention, and each place to teach is incorporated as reference also here.

[0006] DMD is peculiar SLM, and after that the memory cell to which a movable pixel mirror relates here, and a control circuit arrange, it is actually manufactured. Since the size of these pixel elements is small, the size of a corresponding memory cell and a control circuit needs to be small similarly. In order to perform the diagnostic examination of a memory cell, data are loaded to these memory cells at first, and it reads in order to check that the memory cell is functioning succeedingly. However, since the size is small again, if it is specified as a DMD element, and peculiar arrangement tends to make easy read-out operation of all memory cells using a series of conventional differential amplifier, the too large field of a circuit will be consumed and a lot of power will be consumed. Furthermore, when the differential amplifier manufactured becomes complicated, the increase of possibility that a defect will arise during manufacture, and this have a possibility of decreasing the productivity of an element. therefore, the thing to which are the technology which makes read-out of a memory cell possible, and a related circuit, reduce the complexity and the required wafer field of a circuit, and productivity is made to increase -- SLM -- and [especially] it is useful for DMD form

[0007]

[Means for Solving the Problem] The technical feature of this invention is a memory cell possessing single bit line rereading structure. The need for the differential amplifier is lost according to this structure. Furthermore, the data transfer gate of the possibility of the memory cell change state at the time of opening between under a certain conditions (for example, a memory cell and a bit line) is lost.

[0008] this invention also includes offer of the single input buffer connected only to one bit line. In order that the stray capacity accumulated on the bit line may avoid possibility of changing a memory cell state carelessly, the charge transfer gate possesses between two bit lines. Although this charge transfer gate operates after loading of a memory cell and the charge on a bit line is equivalence-ized, it is carried out, before the transfer gate next operates and the content of a cell is read. Before reading the content of a ** cell with desirable this switch and n channel MOS transistor, the charge on a bit line is distributed equally. The memory cell passage gate is again operated by supposing un-flowing this charge transfer gate with the transparency latch for loading to the memory cell supposing tri-state quantity impedance mode, and a bit line is provided with the content of a memory cell. Next, the single input amplifier connected to one bit line is sensed by the control circuit, and the content of a memory cell is checked. In this invention, a small number of transistor is only needed more as compared with the memory cell incorporating the differential amplifier. In addition, the stability of a memory cell is strengthened, and still more efficient arrangement is enabled to the spatial restrictions demanded by DMD, and an improvement of productivity is offered.

[0009] Although the memory cell structure based on this invention conforms ideal for the DMD form SLM, this conforms ideally also to all the equipments that read-out operation of a memory cell wrote in again, and incorporated the array of the memory cell of cycle operation performed enough behind. A paraphrase does not read the contents of a memory cell during the period conventionally known as a "critical data cycle." The speed in the present design is enough to use it with a DMD element. In typical DMD operation, the charge on a bit line is equivalence-ized and there is time of enough to read these bit lines in an examination sequence with single input-buffer amplifier continuously.

[0010] For example, if logic"1" is loaded in a memory cell, Q node of a memory cell is loaded by +5 volts, and Q (bar) should become 0-volt potential. If an equivalence-ized transistor operates, the suspension charge on both bit lines will be middle, and will be about equivalence-ized by average voltage, for example, +2.5 volts. Therefore, a bit line is stabilized in charge before rereading of a consecutive memory cell. If a passage transistor operates after that, since each bit line will only change to one direction or its opposite direction 2.5 volt of **, it prevents that a memory cell changes a state carelessly.

[0011]

[Embodiments of the Invention] A space optical modulator like the DMD form manufactured in Texas Instruments of Texas Dallas is shown to the example to which this invention shown in drawing 2 was submitted by 30 as a whole. It turns out that SLM30 contains write-in read-out memory (SRAM) formula static at any time conventionally which is shown by 10 as a whole. This SRAM memory cell 10 consists of six transistors, and is manufactured using CMOS, NMOS, or PMOS technology. The basic element of a memory cell 10, related connection, and operation attach the same reference number as the element same here already explained with reference to drawing 1 in the place of the title "the background of invention."

[0012] The electrode of a couple shown by 32 and 34 is connected to Q and Q (bar) of a memory cell 10 through the electrode etching lines 36 and 38 of a couple, respectively. It is related that the torsion minute mirror 40 and dotted line which can be deflected show each pixel of SLM30, and this is deflected under control as a function of the potential on these address electrodes 32 and 34. Cross-reference is made to the name" space optical modulator given to U.S. Pat.

No. 5,061,049 and Horn Beck and its method", and this explains the detail of operation of the pixel of DMD form. Although SLM30 is illustrated in drawing 2 so that it may have a single pixel containing a mirror 40 the purpose of illustration, and in order to make it clear, typical SLM30 has thousands of mirrors 40, memory cells 10, and related circuits.

[0013] The pixel data which should be loaded in a memory cell 10 are offered on the load line 42, and this continues and is connected to the input of a shift register 44. This data is loaded with the clock of a controller 46 in a shift register 44, and, finally is carried forward by line 48 course to the input D of the transparency latch 14. Latch 14 operates on tri-state conditions by line 68 course from a controller 46. If the latch 14 is required, it will offer the level conversion of this data and will provide bit lines 16 and 18 with truth and complementary data in a differential form. Since this differential data is loaded to a memory cell 10 from bit lines 16 and 18, a controller 46 writes in the passage transistor 20 and a line 52 and this consider a signal as a flow by connecting with the gate of the passage transistor 20 upwards, and providing. In this write-in signal, the transistor 20 after an end of this pulse returns to non-switch-on including one pulse suitably, it is latched to the portion of Nodes Q and Q (bar), and the content of memory is held so that an inverter 22 may be put and passed.

[0014] According to the example to which this invention was submitted, SLM30 possesses the equivalence-sized switch transistor 50 further. A transistor 50 is a N channel MOS transistor suitably, and it is connected so that a source terminal may be connected to a bit line 16 and a drain terminal may be connected to a bit line 18 among bit lines 16 and 18. The gate terminal of a transistor 50 is connected to the controller 46 through the control line 54. It makes it possible to equivalence-size stray capacity on a bit line 16 and 18 like, by the thing which are explained short still in detail and for which the equivalence-sized transistor 50 is closed, before the content of a memory cell 10 is read, after writing in into the memory cell 10 of data.

[0015] Although the single input-buffer amplifier 56 has the input connected to one bit line and is connected to the bit line 18 in the submitted example, this is only only selection on the design based on signal level. Although an output amplifier 56 is also reversal form, it is dependent on signal level required since this is also sensed. The output of amplifier 56 is read through a signal line 58, and is connected to Q input of a shift register 60. Through the control line 62, a controller 46 supplies a clock pulse to a shift register 60, when read-out of the content of a memory cell 10 is required, and finally the content of memory is shifted by this to an output line 64. When data are not loaded in the memory cell 10, especially, it explained exactly, and reads and a controller 46 changes the Q and Q (bar) output into a non-operative state for the transparency latch 14 as high impedance tri-state conditions by control-line 48 course during the cycle.

[0016]

[Example] The feature and special feature of SLM30 can understand further by explaining the writing and read-out cycle in which the memory cell 10 was illustrated. A timing chart and drawing 3 are explained for the purpose of illustration, referring to drawing 2.

[0017] In order to load logic"1" to a memory cell 10 at first, for example, this data is loaded in the load shift register 44 through an input line 42, and clock delivery is carried out to the output of the register of 44 through a line 47 with a controller 46. This register output is supplied to D input of the transparency latch 14 via a line 48, as shown in drawing. This logic"1" is expressed by the timing signal 100 of drawing 3, and the head of this standup of logic"1" is time T1 to D input of latch 14. It is set and supplied. Next, as shown by the timing signal 102, latch 14 is maintained by the control line 68 at an operating state, and latch 14 performs the level conversion of input data by this. differential data -- the bit lines 16 and 18 from the latch terminals Q and Q (bar) -- it is alike, respectively, and it is supplied so that it may be expressed with the lines 104 and 106 of drawing 3

[0018] Since this logic"1" is latched in a memory cell 10, a controller 46 is time T2 to a line 52 top and the gate of the passage transistor 20 about a clock pulse. It provides so that it may set and may express with the timing line 110. This clock pulse makes it flow through both switches or the passage transistors 20 in instant, and connects bit lines 16 and 18 to the nodes Q and Q (bar) of a memory cell 10 by this. Therefore, it is time T2 so that it may be expressed with the lines 112 and 114 of a timing chart to a memory cell 10. It is set and loaded. If the write-in pulse supplied to a transistor 20 is completed, these transistors 20 will be un-flowing again. However, the content of a memory cell 10 remains in the state where it was latched, and as shown to Nodes Q and Q (bar) by the lines 112 and 114 of drawing 3, it is memorized.

[0019] Next, explanation is continued, referring to drawing 3, in order to make possible single bit line rereading of the memory cell 10 based on the example to which this invention was submitted. Time T3 As it sets and is shown by the line 102 of drawing 3, a controller 46 makes latch 14 tri-state quantity impedance conditions, and a controller 46 supplies a control pulse to a line 54, and considers the equivalence-sized transistor 50 as a flow in instant so that it may be expressed by the line 116 of drawing 3. Although the transistor 50 used as this flow is between two and

equivalence-izes residual charge on a bit line 16 and 18, this is because latches 14 are tri-state quantity impedance conditions. For example, after [the passage transistor 20] writing in logic"1" into a memory cell 10 and un-flowing, the bit line 16 has still stopped at about +5-volt potential. Conversely, the bit line 18 is still maintaining about 0-volt potential. After considering a transistor 50 as a flow in instant, the residual charge between bit lines 16 and 18 balances, and each bit line has the middle potential of about 2.5 volts on lines 104 and 106 in time T3. Sufficient time interval, for example, 1 ms, for a transistor 50 to consider residual charge on a bit line 16 and 18 as a balance is flowed through it, and, next, this transistor is un-flowing.

[0020] Next, time T4 A controller 46 sends a pulse to the gate of the passage transistor 20 by line 52 course, and considers these as a flow again as it sets and is shown by the timing line 110. When a controller 46 makes the transparency latch 14 tri-state mode, the +5-volt potential from the memory cell node Q communicates to a bit line 16. Similarly, as the 0-volt potential from the memory cell node Q (bar) is shown in a bit line 18 on the timing line 104 and 106, it is time T4. It sets and communicates. Since bit lines 16 and 18 are charged after having been equivalence-ized by +2.5 volts before supplying a read-out pulse to a transistor 20, a memory cell 10 does not change the state. This is possibly having produced change, supposing bit lines 16 and 18 read and unbalance charged in front of the pulse.

[0021] Single bit line memory rereading is possible in the input of the amplifier 54 connected to the bit line 18. The output of amplifier 54 is always reflecting the level of a bit line 18, as shown by the timing line 118. The output of amplifier 54 is connected to Q input of the read-out shift register 60 through the line 58, and this data is time T5 to an output 64. It sets and clock delivery is carried out with a controller 46. The clock pulse supplied on a line 62 from a controller 46 is shown in the timing line 120 to the read-out shift register 60.

[0022] Although it is indicated that the input of amplifier 54 is connected to a bit line 18, if wished, connecting with a bit line 16 instead is also possible. In this example, the 0-volt potential in the output section of amplifier 54 corresponds to reading of logic"1" from a memory cell 10. Probably, the +5-volt output from amplifier 54 corresponds to reading of logic"1" from the memory cell 10, when the input of amplifier 54 is connected to a bit line 16.

[0023] One feature of this invention is single bit line memory rereading structure. Before this transmits the content of a memory cell 10 to bit lines 16 and 18, it is possible by incorporating the equivalence-ized machine transistor 50 which takes the balance of a bit line charge.

[0024] Another feature of this invention is using only the single input-buffer amplifier 54 instead of the complicated and comparatively big differential amplifier, in order to perform read-out operation. Therefore, the more efficient circuit array in which SLM like DMD form is specified by spatial restrictions can be realized, and, in addition, a productivity improvement in a manufacturing process can be realized further. The time for equivalence-izing bit lines 16 and 18 first, and changing these bit lines, before writing in the content of a memory cell 10 which a transistor 50 needs is the grade which can be disregarded in typical test procedure. Typically, a transistor 50 needs only the flow time of 1 ms, in order to realize a charge balance. A transistor 50 can use CMOS, PMOS, or NMOS technology, and can incorporate it like the passage transistor 20 of a memory cell 10, and an inverter 22. Amplifier 54 can be similarly manufactured using technology.

[0025] Although this invention has been explained about the example to which specification was submitted, many change and corrections will become clear by reading this specification to this contractor. Therefore, it has the intention of interpreting an attached patent claim as including all such change and corrections in the light of the conventional technology as widely as possible. For example, although 0 and 5-volt logical level are adopted, it is also possible to adopt other level. Furthermore, it is a case so that much capacity may exist in one line whose equivalence-ized voltage of a bit line does not need to be a half in consideration of other designs at the accuracy of the difference between lines rather than another side. In the submitted example, although this invention is included in SLM, other memory cell arrays and equipment incorporating the same thing can also obtain profits from this invention, and they are also within the limits of this invention. Or the cell which is using the few transistor can also be covered by this invention than other memory cell structures like a DRAM cell, and a typical 6 transistor SRAM cell. The following terms are further indicated about the above explanation.

[0026] (1) semiconductor accumulation equipment -- it is -- : -- it combines with the bit line and the; aforementioned bit line of a couple which were combined with at least one memory cell and the; aforementioned memory cell -- having -- the charge on the aforementioned bit line -- alternative -- etc. -- the aforementioned semiconductor accumulation equipment containing the memory read-out equipment for being combined with one of the equipment for value-izing,, and the aforementioned bit lines, and reading the content of the aforementioned memory cell

[0027] (2) The aforementioned equipment which includes the switch with which the aforementioned charge equivalence-ized equipment was combined ranging over the aforementioned bit line in equipment given in the 1st term.

[0028] (3) The aforementioned equipment with which the aforementioned switch contains a transistor in equipment

given in the 2nd term.

[0029] (4) The aforementioned equipment with which the aforementioned memory cell contains a SRAM cell in equipment given in the 1st term.

[0030] (5) The aforementioned equipment containing the buffer amplifier which requires the input with which the aforementioned memory read-out equipment was combined with the method of only of the aforementioned bit line in equipment given in the 1st term.

[0031] (6) The aforementioned equipment containing the space optical modulator by which equipment given in the 1st term was further combined functionally with the aforementioned memory cell.

[0032] (7) The aforementioned equipment combined with the address electrode of the couple to which the aforementioned memory cell was located under the aforementioned minute mirror, including the minute mirror in which the aforementioned space optical modulator was located on the aforementioned memory cell in equipment given in the 6th term.

[0033] (8) The aforementioned equipment with which the aforementioned memory cell is combined in equipment given in the 4th term including the passage transistor of a couple as the content of the aforementioned memory cell alternatively placed in one on the aforementioned bit line at each of the aforementioned bit line.

[0034] (9) Include the switch combined in equipment given in an octavus term so that the aforementioned equivalence-ized equipment might straddle the aforementioned bit line, and, for the aforementioned passage transistor, the aforementioned switch is the independently controllable aforementioned equipment.

[0035] (10) The aforementioned space optical modulator containing the memory read-out equipment combined so that the content of the aforementioned memory cell might be read to one of the switch combined ranging over the bit line and the; aforementioned bit line of a couple which were combined with the memory cell which is a space optical modulator and was related with the array of :display element, and each of ** for the; aforementioned display, and the; aforementioned memory cell,, and the aforementioned bit lines.

[0036] (11) The aforementioned space optical modulator containing the buffer which has the input with which the aforementioned memory read-out equipment was combined with the method of only of the aforementioned bit line in the space optical modulator of the 10th publication.

[0037] (12) The aforementioned space optical modulator in which the aforementioned memory cell contains a SRAM cell in the space optical modulator of the 10th publication.

[0038] (13) The aforementioned space optical modulator which contains the minute mirror in which at least one aforementioned display element was located on the aforementioned memory cell in the space optical modulator of the 10th publication.

[0039] (14) It is the operating method of the memory cell combined with the bit line of a couple, and load to the :a aforementioned memory cell via the aforementioned bit line.;

b) The aforementioned method including a procedure of reading the contents of the aforementioned memory cell by equivalence-izing the charge on the aforementioned bit line, and sensing; and the aforementioned bit line of the method of c only.

[0040] (15) The aforementioned method performed by carrying out the instant closed circuit of the switch to which the aforementioned procedure b was connected between the aforementioned bit lines in a method given in the 14th term.

[0041] (16) The aforementioned method by which the contents of the aforementioned memory cell are read in a method given in the 14th term after the open circuit of the aforementioned switch is carried out.

[0042] (17) It is the space optical modulator 30 possessing the single bit line rereading structure 54 of DMD form which has the related memory cell 10. A memory cell 10 includes the charge equivalence-ized switch 50 containing the transistor connected ranging over the bit lines 16 and 18 of a memory cell 10. It reads after a write-in cycle (T2), and this charge equivalence-ized transistor 50 is a cycle (T4). It flows in instant in front (T3), and the residual charge on the memory cell bit line 16 and 18 is equilibrated with it. the time of the contents of a memory cell continuing and being read (T4) **** -- these contents of a memory cell are in the state where it does not change It connects, in order that the single amplifier 54 may read the contents of a memory cell to one bit line. Single bit line 18 rereading structure offers still more efficient circuit arrangement to the spatial restrictions demanded by DMD, consumes power fewer than the design of the differential amplifier, and, in addition, improves productivity further.

[0043] Cross-reference is made to the patent application of a connection of the cross-reference following of a related specification.

Serial number Filing date of application 002 A name 08 / 627 01/11/93 Pixel control circuit for space optical modulators Simultaneous with this case Space optical modulator which reduced the possibility of an ON state deficit

[Translation done.]

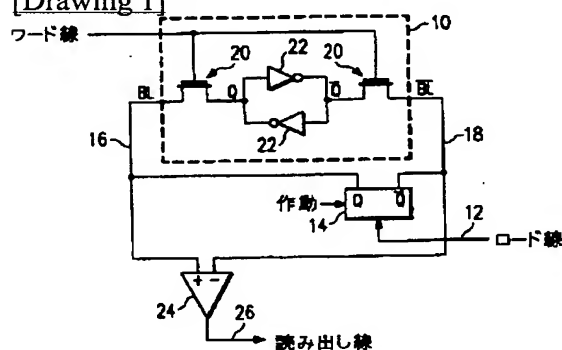
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

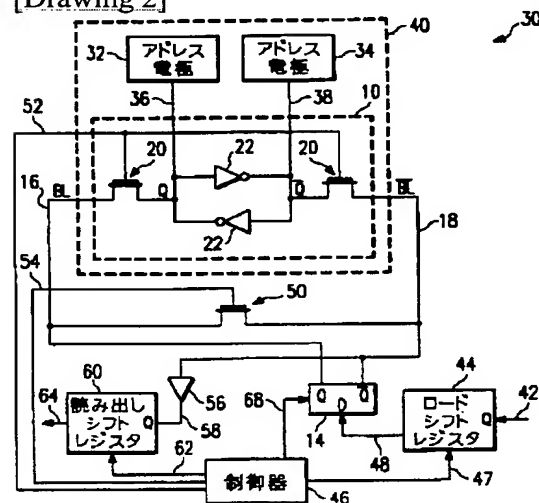
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

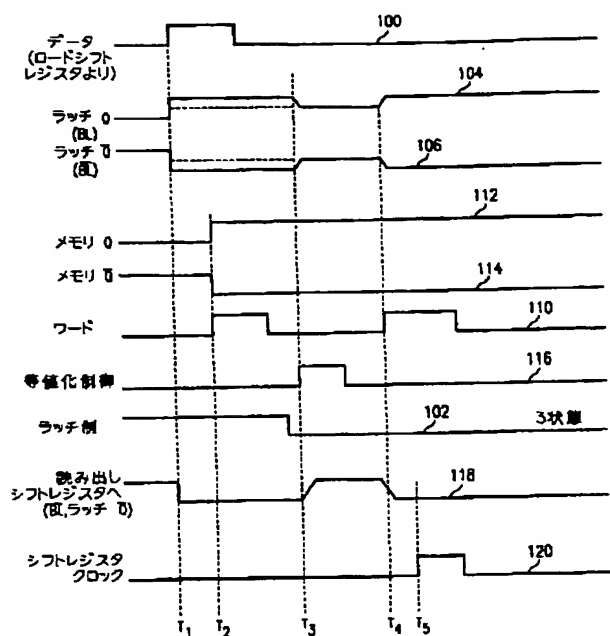
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]